

PAT-NO: JP402284452A
DOCUMENT-IDENTIFIER: JP 02284452 A
TITLE: SEMICONDUCTOR DEVICE
PUBN-DATE: November 21, 1990

INVENTOR-INFORMATION:
NAME
FUJIMAKI, MASAYUKI
KANNO, TOSHIO

ASSIGNEE-INFORMATION:
NAME
HITACHI LTD
HITACHI TOBU SEMICONDUCTOR LTD
COUNTRY
N/A
N/A

APPL-NO: JP01104446
APPL-DATE: April 26, 1989

INT-CL (IPC): H01L023/40, H05K001/02 , H05K007/20
US-CL-CURRENT: 257/712

ABSTRACT:

PURPOSE: To radiate heat generated in a memory module efficiently and suppress the temperature rise of a memory IC chip and avoid the deterioration of its characteristics by a method wherein a heat radiation means is provided on a printed board for the memory module.

CONSTITUTION: Heat radiating patterns 3 for radiation are provided on both the left and right ends of a printed board 1. In order to obtain the maximum heat radiation efficiency of the heat radiating patterns 3,

their surfaces are not coated with solder resist 6 and their areas are made to be as large as possible. The respective radiation pins 4 of all memory ICs 2 mounted on the printed board 1 are connected to the patterns 3. By providing the heat radiating patterns 3 to which the radiation pins 4 of the memory ICs 2 mounted on the printed board 1 for a memory module as described above, heat generated by the respective memory ICs 2 can be radiated efficiently and the temperature rise of the chips can be suppressed, so that the deterioration of the characteristics of the chips can be avoided.

COPYRIGHT: (C)1990,JPO&Japio

⑫ 公開特許公報(A)

平2-284452

⑬ Int.Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)11月21日

H 01 L 23/40
H 05 K 1/02
7/20A 6412-5F
Q 8727-5E
C 7373-5E

審査請求 未請求 請求項の数 3 (全5頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平1-104446

⑰ 出 願 平1(1989)4月26日

⑱ 発 明 者 藤 巻 政 之 埼玉県入間郡毛呂山町大字旭台15番地 日立東部セミコンダクタ株式会社内

⑲ 発 明 者 管 野 利 夫 東京都小平市上水本町5丁目20番1号 株式会社日立製作所武蔵工場内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 出 願 人 日立東部セミコンダクタ株式会社 埼玉県入間郡毛呂山町大字旭台15番地

㉒ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

1. メモリーモジュール用のプリント基板に放熱手段を設けたことを特徴とする半導体装置。

2. 前記放熱手段は、前記プリント基板に搭載されるメモリーの放熱用ピンに接続される放熱パターンであることを特徴とする特許請求の範囲第1項記載の半導体装置。

3. 前記放熱手段は、前記プリント基板両端のオプションリヤーズに形成され、VssプレーンまたはVss配線に接続される放熱フィンであることを特徴とする特許請求の範囲第1項記載の半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体装置に適用して有効な技術に関するもので、例えば、メモリーモジュール用のプリント基板に利用して有効な技術に関するもの

である。

〔従来の技術〕

SOJ、SOP、PLCC等のメモリーを多数集合させてガラスエポキシ樹脂(例えばFR-4)等を素材としたプリント基板に実装するようにした半導体装置が知られている。

この多数のメモリーを集合するようにした所謂メモリーモジュールの外形についてはJEDECにその形状が厳格に規格化されているが、JEDECにおいては特にメモリーモジュールからの放熱については考慮されていない。

なお、プリント基板に関する技術を述べた文献としては、電子材料(1985年10月発行)が挙げられる。

〔発明が解決しようとする課題〕

ここで、近年においては、メモリーモジュールの高速化が望まれており、この高速化に伴う消費電力アップによりかなりの熱が該メモリーモジュールに発生することが考えられる。しかしながら、上記従来の構成の半導体装置においては、上述の

如く何らメモリーモジュールからの放熱については考慮されていないので、発熱による該半導体装置の特性劣化を招くおそれがある。

本発明は係る問題点に鑑みなされたものであって、メモリーモジュールに発生する熱を効率良く放熱して特性劣化を防ぎ、品質向上を図ることができる半導体装置を提供することを目的としている。

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

すなわち、メモリーモジュール用のプリント基板に放熱手段を設けるようにしたものである。

【作用】

上記した手段によれば、メモリーモジュール用のプリント基板に放熱手段を設けるようにしたので、メモリーモジュールに発生する熱が該放熱手段から効率良く放熱されるという作用により、メモリーICのチップ温度上昇が抑えられるようになり、特性劣化の防止が図られて品質を向上させる。

- 3 -

4 a の配置される部位のみソルダーレジスト 6 が塗付されずに露出状態となっている配線 8 に接続されている。なお、第 1 図、第 2 図においては図が煩雑になるので、ピン 4 a 及び配線 8 は右側のメモリー IC 2 だけに示されている。これらの配線 8 はプリント基板 1 上に形成され電気的信号のやり取りを行う接栓 7 に接続されている。一方、メモリー IC 2 のピン 4 a の中の一本、本実施例においては供給電源 Vcc 用のピン（以下放熱ピンと記す）4 はプリント基板 1 上に形成される放熱手段たる放熱パターン 3 に接続されている。この放熱パターン 3 は放熱を目的として形成されたエリアであり、プリント基板 1 上に搭載された全てのメモリー IC 2、2...2 の各放熱ピン 4、4...4 がこの放熱パターン 3 に全て接続されている。この放熱パターン 3 は上述の如く放熱を目的としていることからその放熱効果を最大限に上げるために表面にソルダーレジスト 6 が塗付されておらず、本実施例においてはこの放熱パターン 3 はプリント基板の左右両端の 2 箇所に形成され

るという上記目的が達成されることになる。

【実施例】

以下、本発明の実施例を図面を参照しながら説明する。

第 1 図には本発明に係る半導体装置の第 1 実施例が、第 2 図には第 1 図の A-A 断面図がそれぞれ示されている。その概要を説明すれば次のとおりである。

第 1 図、第 2 図において、符号 1 は素材が、例えば FR-4 等のガラスエポキシ樹脂とされたメモリーモジュール用のプリント基板を示しており、このプリント基板 1 表面には、図示されていないが必要な配線が形成されている。この配線の形成されている部分の表面には配線の保護膜としてのソルダーレジスト（絶縁体）6 が塗付されており、その上方には多数の、例えば SOJ、SOP、PLCC 等メモリー IC 2、2...2 が図における左右方向に向かって規則正しく配置されている。このメモリー IC 2 には下方に向かう多数のピン 4 a が形成されており、これらピン 4 a は、ピン

- 4 -

ている。

なお、本実施例のメモリーモジュールは両面実装品（裏面にもメモリー IC 2 が搭載されている）であるが、第 2 図においては図が煩雑になるのを避けるために片面しか示されていない。

このように、本実施例によれば、メモリーモジュール用のプリント基板 1 に、搭載されるメモリー IC 2 の放熱ピン 4 に接続される放熱手段としての放熱パターン 3 を設けるようにしているので、各メモリー IC 2 から発せられる熱が該放熱パターン 3 から効率良く放熱されるという作用により、メモリー IC 2 のチップ温度上昇が抑えられるようになる。

ここで、プリント基板 1 表面における放熱ピン 4 と放熱パターン 3 との結線が不可能な場合には、放熱ピン 4 からの配線をプリント基板 1 の内層面または裏面を通して第 1 図に示される放熱パターン 3 内に設けられるスルーホール 5 に接続するようにして放熱ピン 4 と放熱パターン 3 との結線がなされる。

なお、本実施例においては、放熱ピン4を供給電源Vcc用のピンとしているが、接地電源Vss用のピンとしても良く、要は電流が最大となるピンを放熱ピンとして放熱パターン3に結線するようにすれば良い。

因に、上記放熱パターン3の面積はその放熱効果を上げるために当然のことながら最大限広くすることが望ましい。従って、メモリモジュールが片面実装品である場合（裏面にメモリモジュールが搭載されていない場合）には放熱パターン3の面積を広くとるべく、メモリーIC2を搭載しない裏面全面を放熱パターン3とするのが効果が最大となって良い。

第3図には本発明に係る半導体装置の第2の実施例が示されている。

この第2の実施例の半導体装置が第1の実施例のそれと違う点は、メモリーモジュール用のプリント基板1に形成される放熱手段を放熱パターン3に代えて放熱フィン12にした点である。

この放熱フィン12は、例えばアルミニウムよ

りなり、放熱効果を上げるために凹凸に加工されプリント基板1の両端に形成されている。この放熱フィン12の形成されるプリント基板1の両端はJEDECの規定における所謂オプションイヤーズ(Optional Ears)の位置であるので、放熱フィン12を取り付けるようにしても何ら問題はない。この放熱フィン12はノイズ防止のためにプリント基板1に形成され各メモリーIC2に接続されるVssプレーン13またはVss配線に接続されている。このVssプレーン13またはVss配線は、メモリモジュールが両面実装品の場合にはプリント基板1の内部に、片面実装品の場合にはプリント基板1の裏面にそれぞれ形成されるケースが多い。

このように、本実施例によれば、メモリーモジュール用のプリント基板1の両端のオプションイヤーズに、Vssプレーン13またはVss配線に接続される放熱手段としての放熱フィン12を設けるようにしたので、メモリーモジュールに発生する熱が内層Vssプレーン13または内層

- 7 -

Vss配線を介して該放熱フィン12から効率良く放熱されるという作用により、メモリーICのチップ温度上昇が抑えられるようになる。

因に、上記実施例においては放熱フィン12をアルミニウムとしているが、それに限定されるものではなく、放熱性の良い素材であればなんでも良い。

なお、第2実施例と第1実施例の半導体装置を組み合わるよう構成する、すなわち、メモリモジュール用のプリント基板1に、メモリーIC2の放熱ピン4に接続される放熱パターン3と、オプションイヤーズの位置にVssプレーン13またはVss配線に接続される放熱フィン12とを設けることも可能であり、このように構成すれば放熱効果がさらに良化されるというのはいうまでもない。その場合、放熱ピン4を放熱フィン12に接続するようにすればさらに効果は大となる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しな

- 8 -

い範囲で種々変更可能であることはいうまでもない。

例えば、上記各実施例においては、プリント基板1の素材を例えばFR-4等のガラスエポキシ樹脂としているが、それに限定されるものではない。

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

すなわち、メモリーモジュール用のプリント基板に放熱手段を設けるようにしたので、メモリーモジュールに発生する熱が該放熱手段から効率良く放熱されることとなる。その結果、メモリーICのチップ温度上昇が抑えられるようになり、特性劣化の防止が図られて品質が向上されるようになる。

4. 図面の簡単な説明

第1図は本発明に係る半導体装置の第1実施例の平面図、

第2図は第1図中のA-A断面図、

第3図は本発明に係る半導体装置の第2実施例の斜視図である。

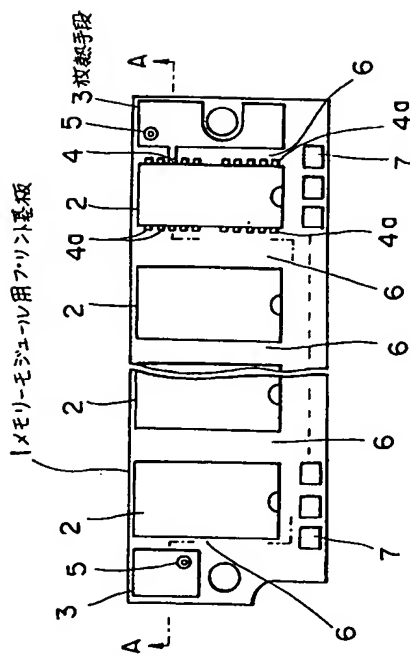
- 1・・・メモリーモジュール用プリント基板、3、
12・・・放熱手段。

代理人 弁理士 小川勝男

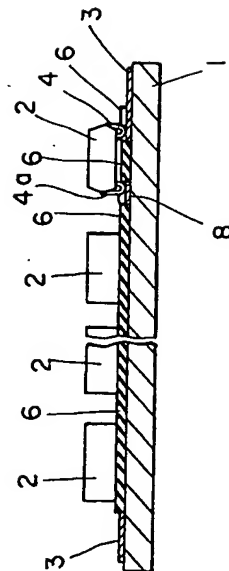


- 11 -

第 1 図



第 2 図



第 3 図

